

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-280461

(43)Date of publication of application : 27.09.2002

(51)Int.Cl.

H01L 21/8238  
H01L 27/092  
H01L 21/316  
H01L 21/8234  
H01L 27/088  
H01L 29/78

(21)Application number : 2001-082614

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 22.03.2001

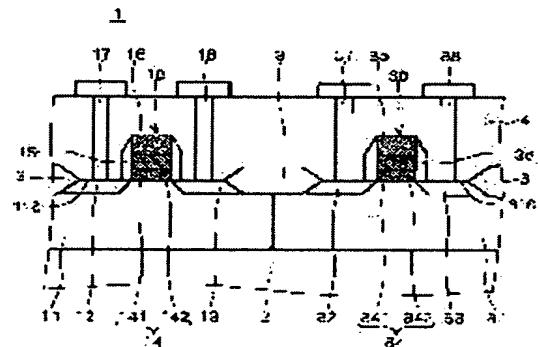
(72)Inventor : HORIKAWA TAKESHI

## (54) SEMICONDUCTOR DEVICE AND ITS FABRICATING METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device in which the threshold voltage of each MISFET can be controlled independently.

**SOLUTION:** The second insulation film 142, 342 of a gate insulation film 14, 34 comprises a high permittivity film having a dielectric constant not smaller than 8 and at least one high permittivity film of the second insulation film 142 or 342 is doped with at least one kind of impurity metal ions. The impurity metal ion has a valence number different by 1 from that of metal ions composing the high permittivity film. At least one of the density and polarity of charge defect in the high permittivity film is differentiated between the second insulation films 142 and 342 by such a doping.



1: 半導体基板  
2: 絶縁膜  
3: MISFET (第1MISFET)  
4: (第1)ゲート絶縁膜  
5: 第1ゲート電極  
6: MISFET (第2MISFET)  
7: (第2)ゲート絶縁膜  
8: 第2ゲート電極  
9: 第2ゲート電極

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-280461

(P2002-280461A)

(43)公開日 平成14年9月27日(2002.9.27)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 21/8238		H 0 1 L 21/316	X 5 F 0 4 8
27/092		27/08	3 2 1 D 5 F 0 5 8
21/316			1 0 2 C 5 F 1 4 0
21/8234		29/78	3 0 1 G
27/088			

審査請求 未請求 請求項の数12 O L (全 15 頁) 最終頁に続く

(21)出願番号 特願2001-82614(P2001-82614)

(22)出願日 平成13年3月22日(2001.3.22)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 堀川 剛

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100089233

弁理士 吉田 茂明 (外2名)

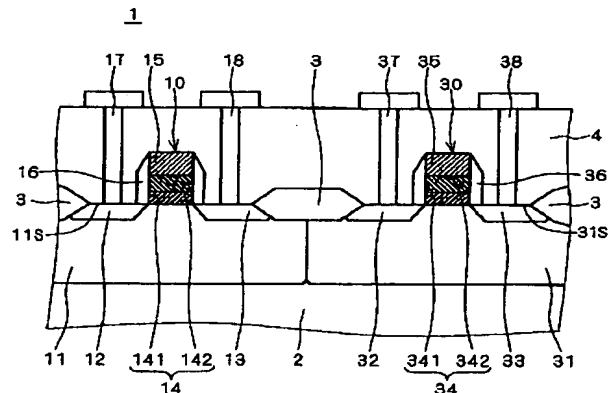
最終頁に続く

(54)【発明の名称】 半導体装置及び半導体装置の製造方法

(57)【要約】

【課題】 各MISFETのしきい値電圧を独立に制御可能な半導体装置を提供する。

【解決手段】 ゲート絶縁膜14、34の第2絶縁膜142、342は比誘電率が8以上の高誘電率膜を含んで成り、第2絶縁膜142、342の少なくとも一方の高誘電率膜中に少なくとも1種類の不純物金属イオンがドーピングされている。不純物金属イオンの価数は高誘電率膜を成す金属イオンのそれとは1だけ異なる。かかるドーピングによって、第2絶縁膜142、342間で高誘電率膜中の荷電欠陥の密度と極性ととの少なくとも一方が違えられている。



- 1: 半導体装置
- 2: 半導体基板
- 10: nMOSFET (第1MISFET)
- 14: (第1)ゲート絶縁膜
- 15, 35: ゲート電極
- 30: pMOSFET (第2MISFET)
- 34: (第2)ゲート絶縁膜
- 141, 341: 第1絶縁膜
- 142, 342: 第2絶縁膜

## 【 特許請求の範囲】

## 【 請求項1 】 半導体基板と、

前記半導体基板上に形成された第1 ゲート 絶縁膜を含む  
第1 MI SFETと、

前記半導体基板上に形成された第2 ゲート 絶縁膜を含む  
第2 MI SFETとを備え、

前記第1 ゲート 絶縁膜は少なくとも一部に、第1 金属イ  
オンを含有し且つ8 以上の比誘電率を有した第1 誘電体  
膜を含み、

前記第2 ゲート 絶縁膜は少なくとも一部に、第2 金属イ  
オンを含有し且つ8 以上の比誘電率を有した第2 誘電体  
膜を含み、

前記第1 誘電体膜に対する前記第1 金属イオンとは価数  
が1 だけ異なる少なくとも1 種類の第1 不純物金属イ  
オンのドーピングと、前記第2 誘電体膜に対する前記第2  
金属イオンとは価数が1 だけ異なる少なくとも1 種類の  
第2 不純物金属イオンのドーピングと、の少なくとも一  
方のドーピングが施されており、

前記少なくとも一方のドーピングに起因して、前記第1  
誘電体膜中と前記第2 誘電体膜中とで荷電欠陥の密度と  
極性との少なくとも一方が異なる、半導体装置。

【 請求項2 】 請求項1 に記載の半導体装置であって、  
前記第1 誘電体膜は前記第2 誘電体膜と同じ材料から成  
る、半導体装置。

【 請求項3 】 請求項2 に記載の半導体装置であって、  
前記第1 MI SFETはn チャネル型MI SFETを含  
み、

前記第2 MI SFETはp チャネル型MI SFETを含  
み、

前記少なくとも1 種類の第1 不純物金属イオンは前記第  
1 金属イオンよりも大きい価数を有する第3 金属イ  
オンを含み、

前記少なくとも1 種類の第2 不純物金属イオンは前記第  
2 金属イオンよりも大きい価数を有する第4 金属イ  
オンを含み、

前記少なくとも1 種類の第1 不純物金属イオン及び前記  
少なくとも1 種類の第2 不純物金属イオンの双方の前記  
ドーピングが施されている場合には前記第3 金属イ  
オンの濃度が前記第4 金属イオンの濃度以上に設定されて  
いる、半導体装置。

【 請求項4 】 請求項2 又は3 に記載の半導体装置であ  
って、

前記第1 MI SFETはn チャネル型MI SFETを含  
み、

前記第2 MI SFETはp チャネル型MI SFETを含  
み、

前記少なくとも1 種類の第1 不純物金属イオンは前記第  
1 金属イオンよりも小さい価数を有する第5 金属イ  
オンを含み、

前記少なくとも1 種類の第2 不純物金属イオンは前記第

2 金属イオンよりも小さい価数を有する第6 金属イ  
オンを含み、

前記少なくとも1 種類の第1 不純物金属イオン及び前記  
少なくとも1 種類の第2 不純物金属イオンの双方の前記  
ドーピングが施されている場合には前記第5 金属イ  
オンの濃度が前記第6 金属イオンの濃度以下に設定されて  
いる、半導体装置。

【 請求項5 】 請求項2 に記載の半導体装置であって、  
前記第1 及び第2 MI SFETは同じチャネル型のMI  
SFETを含み、

前記少なくとも1 種類の第1 不純物金属イオンは前記第  
1 金属イオンよりも大きい価数を有する第3 金属イ  
オンを含み、

前記少なくとも1 種類の第2 不純物金属イオンは前記第  
2 金属イオンよりも大きい価数を有する第4 金属イ  
オンを含み、

前記少なくとも1 種類の第1 不純物金属イオン及び前記  
少なくとも1 種類の第2 不純物金属イオンの双方の前記  
ドーピングが施されている場合には前記第3 金属イ  
オンの濃度が前記第4 金属イオンの濃度以上に設定されて  
いる、半導体装置。

【 請求項6 】 請求項2 又は5 に記載の半導体装置であ  
って、

前記第1 及び第2 MI SFETは同じチャネル型のMI  
SFETを含み、

前記少なくとも1 種類の第1 不純物金属イオンは前記第  
1 金属イオンよりも小さい価数を有する第5 金属イ  
オンを含み、

前記少なくとも1 種類の第2 不純物金属イオンは前記第  
2 金属イオンよりも小さい価数を有する第6 金属イ  
オンを含み、

前記少なくとも1 種類の第1 不純物金属イオン及び前記  
少なくとも1 種類の第2 不純物金属イオンの双方の前記  
ドーピングが施されている場合には前記第5 金属イ  
オンの濃度が前記第6 金属イオンの濃度以下に設定されて  
いる、半導体装置。

【 請求項7 】 請求項1 乃至6 のいずれかに記載の半導  
体装置であって、

前記第1 及び第2 誘電体膜の材料はそれぞれAl<sub>2</sub>O<sub>3</sub>、  
Y<sub>2</sub>O<sub>3</sub>及びLa<sub>2</sub>O<sub>3</sub>のうちの少なくとも1 つを含み、

前記少なくとも1 種類の第1 及び第2 不純物金属イ  
オンはそれぞれ、2 価のイオンとしてのBa イオン、Sr イ  
オン、Mg イオン及びCa イオン並びに4 価のイオンと  
してのTi イオン、Zr イオン、Hf イオン、Si イ  
オン及びPr イオンのうちの少なくとも1 つを含む、半導  
体装置。

【 請求項8 】 請求項1 乃至6 のいずれかに記載の半導  
体装置であって、

前記第1 及び第2 誘電体膜の材料はそれぞれTi O<sub>2</sub>、  
Zr O<sub>2</sub>、Hf O<sub>2</sub>及びPr O<sub>2</sub>のうちの少なくとも1 つ

を含み、

前記少なくとも1種類の第1及び第2不純物金属イオンはそれぞれ、3価のイオンとしてのAlイオン、Yイオン及びLaイオン並びに5価のイオンとしてのTaイオン及びNbイオンのうちの少なくとも1つを含む、半導体装置。

【請求項9】 請求項1乃至8のいずれかに記載の半導体装置であって、

前記少なくとも1種類の第1及び/又は第2不純物金属イオンは0.1at om%乃至10at om%の範囲の濃度でドーピングされている、半導体装置。

【請求項10】 請求項1乃至9のいずれかに記載の半導体装置の製造方法であって、

前記少なくとも1種類の第1及び/又は第2不純物金属イオンはMOCVD法とイオンインプランテーション法との少なくとも一方でドーピングする、半導体装置の製造方法。

【請求項11】 請求項10に記載の半導体装置の製造方法であって、

前記少なくとも1種類の第1及び/又は第2不純物金属イオンはMOCVD法でドーピングし、

前記少なくとも1種類の第1及び/又は第2不純物金属イオンの供給源としての有機金属は、前記第1及び/又は第2金属イオンの供給源としての有機金属と共通の有機配位子を含有している、半導体装置の製造方法。

【請求項12】 半導体基板と、

前記半導体基板上に形成された第1ゲート絶縁膜を含む第1MISFETと、

前記半導体基板上に形成された第2ゲート絶縁膜を含む第2MISFETとを備え、

前記第1ゲート絶縁膜は少なくとも一部に、所定の金属イオンを含有し且つ8以上の比誘電率を有した第1誘電体膜を含み、

前記第2ゲート絶縁膜は少なくとも一部に第2誘電体膜を含み、

前記第1誘電体膜に対して前記所定の金属イオンとは価数が1だけ異なる少なくとも1種類の不純物金属イオンのドーピングが施されており、

前記第1誘電体膜中の前記ドーピングによる荷電欠陥の密度と極性ととの少なくとも一方の制御によって、前記第1MISFETに前記第2MISFETとは異なるしきい値電圧が与えられている、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特にMIS(METAL-INSULATOR-SEMICONDUCTOR)型の電界効果トランジスタ(以下「MISFET」とも呼ぶ)を複数備えた半導体装置において各MISFETのしきい値電圧を独立に制御するための技術に関する。

【0002】

【従来の技術】図9に従来の半導体装置1Pの模式的な断面図を示す。半導体装置1Pはnチャネル型のMOS(METAL OXIDE SEMICONDUCTOR)型電界効果トランジスタ(以下「nMOSFET」とも呼ぶ)10P及びpチャネル型のMOS型電界効果トランジスタ(以下「pMOSFET」とも呼ぶ)30Pの双方を備えた基本的なCMOS(COMPLEMENTARY MOS)デバイスである。なお、半導体装置1Pは例えば特開平6-61437号公報の図6に開示される。

【0003】図9に示すように、半導体基板2Pは分離酸化膜3Pによって各活性領域に区画されている。そして、半導体基板2Pの活性領域内にnMOSFET10P用のpウェル11Pが形成されており、これに隣接する他の活性領域内にpMOSFET30P用のnウェル31Pが形成されている。

【0004】pウェル11Pの表面内にはチャネル領域を挟んで1対のn型の不純物層12P、13Pが形成されている。また、pウェル11Pのチャネル領域上には熱酸化膜等のシリコン酸化膜から成るゲート絶縁膜14Pが形成されており、ゲート絶縁膜14P上にゲート電極15Pが形成されている。

【0005】同様に、nウェル31Pの表面内にはチャネル領域を挟んで1対のp型の不純物層32P、33Pが形成されている。また、nウェル31Pのチャネル領域上には熱酸化膜等のシリコン酸化膜から成るゲート絶縁膜34Pが形成されており、ゲート絶縁膜34P上にゲート電極35Pが形成されている。

【0006】なお、低抵抗化のために、ゲート電極15P、35P内にはリンやボロン等の不純物がイオンインプランテーション等によりドーピングされている。

【0007】ゲート電極15P、35Pを覆って半導体基板2P上の全面に層間絶縁膜4Pが形成されている。層間絶縁膜4Pにはコンタクトホールが形成されており、不純物層12P、13P、32P、33Pはコンタクトホールを介して配線17P、18P、37P、38Pに接続されている。

【0008】

【発明が解決しようとする課題】さて、ゲート電極15P、35Pに例えばリンをドーピングした場合、ゲート電極15P、35Pとこれに対向するチャネル領域との間の仕事関数差(の有無)に起因して、nMOSFET10PとpMOSFET30Pとでは次のような動作上の相違が生じる。

【0009】まず、nMOSFET10Pではゲート電極15Pはpウェル11P上に形成されているので、ゲート電極15Pとpウェル11Pとの間にはpウェル11Pに対して(ないしは基板2Pに対して)正の仕事関数差 $\Delta\Phi_f$ が生じる。これによりゲート電極15Pの電位が基板電位と等しい時にチャネル近傍のエネルギーバンドは下向きにベンディングし、その結果、ゲート電極

10

20

30

40

50

15Pをわずかに正電位とすることによって反転層を形成することができる。

【0010】これに対して、p MOSFET30Pではゲート電極35Pはnウェル31P上に形成されているので、リンをドープしたn型のゲート電極35Pとnウェル31Pとの間には基板2Pに対して仕事関数差が生じない。このため、ゲート電極35Pの電位が基板電位と等しい時にチャネル近傍のエネルギーバンドはほぼフラットになる。従って、p MOSFET30Pにおいて反転層を形成するためにはゲート電極35Pをかなり高い負電位に設定する必要がある。つまり、しきい値電圧（以下「しきい値」とも呼ぶ）が高くなる。

【0011】このように、ゲート電極15P、35Pの双方に同一種類の不純物をドープした場合には、n MOSFET10P及びp MOSFET30Pのそれぞれのしきい値電圧はゲート電極15P、35Pとこれに対向するチャネル領域との間の仕事関数差により決まってしまう。即ち、従来の半導体装置1Pではn MOSFET10P及びp MOSFET30Pのしきい値をそれぞれ適正值に制御することが困難であるという問題点がある。

【0012】このような問題点の解決方法の一つとして、n MOSFET10Pのゲート電極15Pにはリンをドープすると共にp MOSFET30Pのゲート電極35Pにはボロンをドープすることによって各MOSFET10P、30Pのしきい値をそれぞれ独立に制御する方法がある。

【0013】しかしながら、ゲート電極35Pにドープされたボロンは後の熱処理工程においてチャネル領域へ拡散する（突き抜ける）ため、しきい値電圧の意図しない増加等の不具合を引き起こす場合がある。次世代MOSFETではゲート絶縁膜34Pに2nm程度以下の薄いシリコン酸化膜が用いられるため上述のボロンの突き抜けが生じやすくなり、MOSFETの特性変動は大きな問題であると考えられている。

【0014】また、各MOSFET10P、30Pのしきい値電圧を独立に制御する他の方法の例として、チャネル領域のドーパント量を調整する方法や、チャネル領域にカウンター不純物をドーピングする方法がある。しかし、これらの方法によるチャネル領域の不純物濃度の大幅な変更等はチャネルリークの増加等の特性劣化を生じさせるので、しきい値電圧の大きなシフト等を実現することは困難である。

【0015】また、システムLSIでは、仕様上、ロジック回路用MOSFET、メモリセル用MOSFET及びI/O回路用MOSFETをそれぞれ互いに異なるしきい値電圧に設定することが多い。このような場合においても上述のしきい値電圧の制御の困難性が問題となる。

【0016】本発明は、しきい値電圧が独立に制御され

た複数のMI SFETを備える半導体装置を提供することを目的とする。

【0017】

【課題を解決するための手段】請求項1に記載の半導体装置は、半導体基板と、前記半導体基板上に形成された第1ゲート絶縁膜を含む第1MI SFETと、前記半導体基板上に形成された第2ゲート絶縁膜を含む第2MI SFETとを備え、前記第1ゲート絶縁膜は少なくとも一部に、第1金属イオンを含有し且つ8以上の比誘電率を有した第1誘電体膜を含み、前記第2ゲート絶縁膜は少なくとも一部に、第2金属イオンを含有し且つ8以上の比誘電率を有した第2誘電体膜を含み、前記第1誘電体膜に対する前記第1金属イオンとは価数が1だけ異なる少なくとも1種類の第1不純物金属イオンのドーピングと、前記第2誘電体膜に対する前記第2金属イオンとは価数が1だけ異なる少なくとも1種類の第2不純物金属イオンのドーピングと、の少なくとも一方のドーピングが施されており、前記少なくとも一方のドーピングに起因して、前記第1誘電体膜中と前記第2誘電体膜中とで荷電欠陥の密度と極性と少なくとも一方が異なる。

【0018】請求項2に記載の半導体装置は、請求項1に記載の半導体装置であって、前記第1誘電体膜は前記第2誘電体膜と同じ材料から成る。

【0019】請求項3に記載の半導体装置は、請求項2に記載の半導体装置であって、前記第1MI SFETはnチャネル型MI SFETを含み、前記第2MI SFETはpチャネル型MI SFETを含み、前記少なくとも1種類の第1不純物金属イオンは前記第1金属イオンよりも大きい価数を有する第3金属イオンを含み、前記少なくとも1種類の第2不純物金属イオンは前記第2金属イオンよりも大きい価数を有する第4金属イオンを含み、前記少なくとも1種類の第1不純物金属イオン及び前記少なくとも1種類の第2不純物金属イオンの双方の前記ドーピングが施されている場合には前記第3金属イオンの濃度が前記第4金属イオンの濃度以上に設定されている。

【0020】請求項4に記載の半導体装置は、請求項2又は3に記載の半導体装置であって、前記第1MI SFETはnチャネル型MI SFETを含み、前記第2MI SFETはpチャネル型MI SFETを含み、前記少なくとも1種類の第1不純物金属イオンは前記第1金属イオンよりも小さい価数を有する第5金属イオンを含み、前記少なくとも1種類の第2不純物金属イオンは前記第2金属イオンよりも小さい価数を有する第6金属イオンを含み、前記少なくとも1種類の第1不純物金属イオン及び前記少なくとも1種類の第2不純物金属イオンの双方の前記ドーピングが施されている場合には前記第5金属イオンの濃度が前記第6金属イオンの濃度以下に設定されている。

【0021】請求項5に記載の半導体装置は、請求項2

に記載の半導体装置であって、前記第1及び第2 MISFETは同じチャネル型のMISFETを含み、前記少なくとも1種類の第1不純物金属イオンは前記第1金属イオンよりも大きい価数を有する第3金属イオンを含み、前記少なくとも1種類の第2不純物金属イオンは前記第2金属イオンよりも大きい価数を有する第4金属イオンを含み、前記少なくとも1種類の第1不純物金属イオン及び前記少なくとも1種類の第2不純物金属イオンの双方の前記ドーピングが施されている場合には前記第3金属イオンの濃度が前記第4金属イオンの濃度以上に設定されている。

【0022】請求項6に記載の半導体装置は、請求項2又は5に記載の半導体装置であって、前記第1及び第2 MISFETは同じチャネル型のMISFETを含み、前記少なくとも1種類の第1不純物金属イオンは前記第1金属イオンよりも小さい価数を有する第5金属イオンを含み、前記少なくとも1種類の第2不純物金属イオンは前記第2金属イオンよりも小さい価数を有する第6金属イオンを含み、前記少なくとも1種類の第1不純物金属イオン及び前記少なくとも1種類の第2不純物金属イオンの双方の前記ドーピングが施されている場合には前記第5金属イオンの濃度が前記第6金属イオンの濃度以下に設定されている。

【0023】請求項7に記載の半導体装置は、請求項1乃至6のいずれかに記載の半導体装置であって、前記第1及び第2誘電体膜の材料はそれぞれ $Al_2O_3$ 、 $Y_2O_3$ 及び $La_2O_3$ のうちの少なくとも1つを含み、前記少なくとも1種類の第1及び第2不純物金属イオンはそれぞれ、2価のイオンとしてのBaイオン、Srイオン、Mgイオン及びCaイオン並びに4価のイオンとしてのTiイオン、Zrイオン、Hfイオン、Siイオン及びPrイオンのうちの少なくとも1つを含む。

【0024】請求項8に記載の半導体装置は、請求項1乃至6のいずれかに記載の半導体装置であって、前記第1及び第2誘電体膜の材料はそれぞれ $TiO_2$ 、 $ZrO_2$ 、 $HfO_2$ 及び $PrO_2$ のうちの少なくとも1つを含み、前記少なくとも1種類の第1及び第2不純物金属イオンはそれぞれ、3価のイオンとしてのAlイオン、Yイオン及びLaイオン並びに5価のイオンとしてのTaイオン及びNbイオンのうちの少なくとも1つを含む。

【0025】請求項9に記載の半導体装置は、請求項1乃至8のいずれかに記載の半導体装置であって、前記少なくとも1種類の第1及び/又は第2不純物金属イオンは0.1atom%乃至10atom%の範囲の濃度でドーピングされている。

【0026】請求項10に記載の半導体装置の製造方法は、請求項1乃至9のいずれかに記載の半導体装置の製造方法であって、前記少なくとも1種類の第1及び/又は第2不純物金属イオンはMOCVD法とイオンインプランテーション法との少なくとも一方で以てドーピング

する。

【0027】請求項11に記載の半導体装置の製造方法は、請求項10に記載の半導体装置の製造方法であって、前記少なくとも1種類の第1及び/又は第2不純物金属イオンはMOCVD法で以てドーピングし、前記少なくとも1種類の第1及び/又は第2不純物金属イオンの供給源としての有機金属は、前記第1及び/又は第2金属イオンの供給源としての有機金属と共通の有機配位子を含有している。

【0028】請求項12に記載の半導体装置は、半導体基板と、前記半導体基板上に形成された第1ゲート絶縁膜を含む第1MISFETと、前記半導体基板上に形成された第2ゲート絶縁膜を含む第2MISFETとを備え、前記第1ゲート絶縁膜は少なくとも一部に、所定の金属イオンを含有し且つ8以上の比誘電率を有した第1誘電体膜を含み、前記第2ゲート絶縁膜は少なくとも一部に第2誘電体膜を含み、前記第1誘電体膜に対して前記所定の金属イオンとは価数が1だけ異なる少なくとも1種類の不純物金属イオンのドーピングが施されており、前記第1誘電体膜中の前記ドーピングによる荷電欠陥の密度と極性との少なくとも一方の制御によって、前記第1MISFETに前記第2MISFETとは異なるしきい値電圧が与えられている。

【0029】

【発明の実施の形態】<実施の形態1>図1に実施の形態1に係る半導体装置1の模式的な断面図を示す。半導体装置1はnチャネル型のMOS(METAL OXIDE SEMICONDUCTOR)型電界効果トランジスタ(以下「nMOSFET」とも呼ぶ)及びpチャネル型のMOS型電界効果トランジスタ(以下「pMOSFET」とも呼ぶ)の双方を備えた基本的なCMOS(COMPLEMENTARY MOS)デバイス(例えばCMOSインバータ)にあたる。

【0030】図1に示すように、半導体装置1は例えばシリコンから成る半導体基板(以下「基板」とも呼ぶ)2と、当該基板2に対して作り込まれたnMOSFET(ないしは第1MISFET)10及びpMOSFET(ないしは第2MISFET)30とを備えている。詳細には、基板2は分離酸化膜3によって各活性領域に区画されている。そして、基板2の一の活性領域内に基板2の主面ないしは表面から所定の深さに至ってnMOSFET10用のpウェル11が形成されている。また、上記一の活性領域に隣接する他の活性領域内に基板2の表面から所定の深さに至ってpMOSFET30用のnウェル31が形成されている。

【0031】なお、以下の説明では、基板2の表面のうちpウェル11が形成されている部分をpウェル11の表面11Sとも呼び、nウェル31が形成されている部分をnウェル31の表面31Sとも呼ぶ。

【0032】pウェル11の表面11S内には、nMOSFET10のチャネルが形成される領域(チャネル領

域)を挟んで1対のn型の不純物層12, 13が形成されている。不純物層12, 13はn MOSFET 10のソース・ドレイン領域を成す。更に、pウェル11の表面11S上には上記チャネル領域上にn MOSFET 10のゲート絶縁膜(ないしは第1ゲート絶縁膜)14及びゲート電極15がこの順序で積層されている。特に、後に詳述するように、半導体装置1ではn MOSFET 10のゲート絶縁膜14は第1絶縁膜141及び第2絶縁膜142を備えている。また、ゲート絶縁膜14及びゲート電極15の側面及びpウェル11の表面11Sに接してn MOSFET 10のサイドウォールスペーサ16が形成されている。

【0033】他方、nウェル31の表面31S内には、p MOSFET 30のチャネル領域を挟んで1対のp型の不純物層32, 33が形成されている。不純物層32, 33はp MOSFET 30のソース・ドレイン領域を成す。更に、nウェル31の表面31S上には上記チャネル領域上にp MOSFET 30のゲート絶縁膜(ないしは第2ゲート絶縁膜)34及びゲート電極35がこの順序で積層されている。特に、後に詳述するように、半導体装置1ではp MOSFET 30のゲート絶縁膜34は第1絶縁膜341及び第2絶縁膜342を備えている。また、ゲート絶縁膜34及びゲート電極35の側面及びnウェル31の表面31Sに接してp MOSFET 30のサイドウォールスペーサ36が形成されている。

【0034】なお、ゲート電極15, 35は例えばリンやボロンがドーパされた多結晶シリコンで以て、又は、W, Al, Cu, Co, Ti, Pt等の金属で以て、又は、これらの金属のシリサイド若しくはナイドライドで以て形成されている。更には、これらの材料の積層によりゲート電極15, 35を形成しても良い。

【0035】半導体装置1は層間絶縁膜4及び配線17, 18, 37, 38を更に備えている。具体的には、ゲート電極15, 35を覆って基板2上の全面に層間絶縁膜4が形成されている。層間絶縁膜4にはコンタクトホールが形成されており、不純物層12, 13, 32, 33はコンタクトホールを介して配線17, 18, 37, 38に接続されている。

【0036】上述のようにゲート絶縁膜14, 34は第1絶縁膜141, 341及び第2絶縁膜142, 342を備えており、半導体装置1はウェル11, 31の表面11S, 31S上に第1絶縁膜141, 341/第2絶縁膜142, 342/ゲート電極15, 35の積層構造を有している。

【0037】ゲート絶縁膜14, 34の第1絶縁膜141, 341は、例えば熱酸化膜等のシリコン酸化膜やシリコン窒化膜やこれらの組み合わせであるシリコン酸化窒化膜等の低(比)誘電率の誘電体膜(以下「低誘電率膜」とも呼ぶ)で形成されている。なお、シリコン酸化膜(熱酸化膜)、シリコン窒化膜及びシリコン酸化窒化

膜の比誘電率はそれぞれ約3.8, 約7.5, 約4~7である。第1絶縁膜141, 341の厚さは3nm以下に設定しており、好ましくは2nm以下に設定している。

【0038】他方、ゲート絶縁膜14, 34の第2絶縁膜142, 342は、第1絶縁膜141, 341よりも高い(比)誘電率を有した誘電体膜(ないしは第1及び第2誘電体膜)(以下「高誘電率膜」とも呼ぶ)を主材料として成る。当該高誘電率膜、即ち第2絶縁膜142, 342の厚さは例えば3nm以上15nm以下に設定しており、好ましくは3nm以上10nm以下に設定している。特に、第2絶縁膜142, 342の少なくとも一方の高誘電率膜中には、不純物金属イオン(ないしは第1及び第2不純物金属イオン)がドーピングされている。

【0039】詳細には、上記高誘電率膜の材料として、例えば、 $Al_2O_3$ ,  $Y_2O_3$ ,  $La_2O_3$ 等のいずれか又はこれらのうちの2つ以上の混合物を用いている。なお、 $Al_2O_3$ ,  $Y_2O_3$ 及び $La_2O_3$ はそれぞれ3価の金属イオン(ないしは第1及び第2金属イオン)であるAlイオン, Yイオン, Laイオンを含有しており、約8~10, 約13, 約20の比誘電率を有している。即ち、上記高誘電率膜は所定の金属イオンを含有し且つ8以上の比誘電率を有している。また、これら $Al_2O_3$ 等の高誘電率膜中にドーピングする不純物金属イオン(ドーパント)として、例えば、安定な酸化状態が4価であるTi, Zr, Hf, Si, Pr等の金属のイオン(ないしは第3及び第4金属イオン)及び/又は安定な酸化状態が2価であるBa, Sr, Mg, Ca等の金属のイオン(ないしは第5及び第6金属イオン)を用いている。

【0040】或いは、上記高誘電率膜の材料として、例えば、 $TiO_2$ ,  $ZrO_2$ ,  $HfO_2$ ,  $PrO_2$ 等のいずれか又はこれらのうちの2つ以上の混合物を用いている。なお、 $TiO_2$ ,  $ZrO_2$ ,  $HfO_2$ ,  $PrO_2$ はそれぞれ4価の金属イオン(ないしは第1及び第2金属イオン)であるTiイオン, Zrイオン, Hfイオン, Prイオンを含有しており、約80, 約22, 約30, 約15の比誘電率を有している。また、これら $TiO_2$ 等の高誘電率膜中にドーピングする不純物金属イオン(ドーパント)として、例えば、安定な酸化状態が5価であるTa, Nb等の金属イオン(ないしは第3及び第4金属イオン)及び/又は安定な酸化状態が3価であるAl, Y, La等の金属のイオン(ないしは第5及び第6金属イオン)を用いている。

【0041】このとき、後述のように、上述の不純物金属イオンをドーピングする場合、ドーパント濃度は0.1atom%乃至10atom%の範囲に設定しており、好ましくは0.3atom%乃至3atom%の範囲に設定している。なお、この程度の低いドーパント濃度であれば、高誘電率膜の比誘電率はドーピングによっ

てもほとんど変化しない。

【0042】 $\text{Al}_2\text{O}_3$ 等の(ドーピング前の)高誘電率膜は、例えば、CVD(Chemical Vapor Deposition)法やスパッタリング法により堆積する。或いは、例えば、上記高誘電率膜(例えば $\text{Al}_2\text{O}_3$ 膜)が含有する金属の膜(例えば $\text{Al}$ 膜)をCVD法やスパッタリング法で又は該金属の窒化膜(例えば $\text{AlN}$ 膜)を反応性スパッタリング法で形成し、当該膜を酸化することによって、上記高誘電率膜を形成する。

【0043】不純物金属イオンのドーピングは例えばイオンインプランテーション法を用いる。或いは、ドーピングされた高誘電率膜をCVD法によって直接に形成する(つまり、CVD法によってドーピングする)。このとき、MO(Metal Organic)CVD法を用いる場合、不純物金属イオンの供給源としての有機金属は、高誘電率膜を成す金属イオンの供給源としての有機金属と共通の有機配位子を含有していることが望ましい。このような場合には、両有機金属の有機配位子同士の副反応を抑えることができ、再現性の高い膜形成が可能である。更に、或いは、不純物金属イオンを含んだターゲットを用いたスパッタリング法によって、ドーピングされた高誘電率膜を直接形成する。或いは、上述の酸化されて高誘電率膜となる金属膜や窒化膜にドーピングを施す。このとき、例えばイオンインプランテーション法とMOCVD法とを組み合わせでドーピングを行っても良い。イオンインプランテーション法及び/又はMOCVD法でドーピングすることにより、良質の、ドーピングされた高誘電率膜を形成することができる。

【0044】なお、高誘電率膜は写真製版法及び(ドライ又はウェット)エッチング等の一般的な方法によりパターンニング可能である。

$$\Delta V \sim \{ \rho \times t^2 / (2 \times \epsilon_0 \times \epsilon_r) \} \cdots (1)$$

程度と見積もることができる。即ち、シフト量 $\Delta V$ は、荷電欠陥の密度 $\rho$ と厚さ $t$ の2乗との積を、真空の誘電率 $\epsilon_0$ と高誘電率膜の比誘電率 $\epsilon_r$ と数値2との積で割った値に大略等しい。

【0047】式(1)から、約1atôm%の荷電欠陥によって、フラットバンド電位が約0.1~1.0V程度シフトし、その結果、MOSFETのしきい値電圧(以下「しきい値」とも呼ぶ)も同程度にシフトすると

【0048】なお、式(1)によれば電圧シフト量 $\Delta V$ は膜厚 $t$ の2乗に比例するので、第2絶縁膜142, 342が厚いほどシフト量 $\Delta V$ の増大が顕著である。このようなシフト量 $\Delta V$ の変化は、極薄のシリコン酸化膜を備えたMOSFETに対する従来のしきい値制御方法では実現することが難しい。

【0049】次に、図2及び図3に第2絶縁膜142, 342中の不純物金属イオンのドーピング濃度とMOSFET10, 30のしきい値電圧との関係(実験結果)

\*【0045】さて、このようなドーピングされた高誘電率膜では、不純物金属イオンが高誘電率膜を成す金属イオンのサイトに入る。即ち、高誘電率膜を成す金属イオンが不純物金属イオンで置換される。不純物金属イオンは高誘電率膜を成す金属イオンと価数が1だけ異なるので、高誘電率膜中では局所的に電荷中性条件が破れて帯電が生じる(荷電欠陥(中心)の発生)。具体的には、高誘電率膜を成す金属イオンよりも価数の小さい不純物金属イオンで置換した場合には高誘電率膜は局所的に負に帯電し、価数の大きい不純物金属イオンで置換した場合には高誘電率膜は局所的に正に帯電する。つまり、価数の小さい不純物金属イオンのドーピングにより負に帯電した荷電欠陥が発生し、価数の大きい不純物金属イオンのドーピングにより正に帯電した荷電欠陥が発生する。このとき、上述のような低濃度のドーピングにおいては高誘電率膜中の酸素欠陥密度はあまり変化しないので、高誘電率膜の、即ち第2絶縁膜142, 342の全体の帯電量(ないしは帯電の度合い)は不純物金属イオンの多寡により支配される。また、第2絶縁膜142, 342の全体の帯電量は、第2絶縁膜142, 342の全体としての荷電欠陥量に依存する。

【0046】第2絶縁膜142, 342の帯電は、ゲート絶縁膜14, 34が対面するウェル11, 31の表面11S, 31S付近に反対極性の電荷を誘起しようとする。このため、ウェル11, 31のエネルギーバンドがゲート絶縁膜14, 34付近においてベンディングし、フラットバンド電位がシフトする。このシフト量(の大きさ) $\Delta V$ は、高誘電率膜中の固定電荷密度(即ち荷電欠陥の密度)を $\rho$ とし、高誘電率膜の厚さを $t$ とし、真空の誘電率を $\epsilon_0$ とし、高誘電率膜の比誘電率を $\epsilon_r$ として、ポアッソン方程式から、

を説明するための図を示す。図2及び図3を得るにあたり、半導体装置1において、第1絶縁膜141, 341として1.5nm厚のシリコン酸化膜を用いた。また、第2絶縁膜141, 341として、安定な酸化状態が2価である $\text{Sr}$ (図2参照)又は安定な酸化状態が4価である $\text{Zr}$ (図3参照)がイオンインプランテーション法によりドーピングされた3nm厚の $\text{Al}_2\text{O}_3$ 膜を用いた。なお、当該 $\text{Al}_2\text{O}_3$ 膜をCVD法で堆積し、上述のイオンインプランテーションし、酸素雰囲気中で酸化処理することにより、第2絶縁膜142, 342を形成した。また、ゲート電極15, 35として、リンが高濃度にドーピングされた100nm厚の多結晶シリコンと200nm厚の $\text{Co}$ シリサイドとの積層を用いた。なお、ドーパント濃度はSIMS(Secondary Ion Mass Spectroscopy)及びXRF(X-ray Fluorescence)で測定した。

【0050】図2及び図3に示すように、不純物金属イオンをドーピングしない場合、nMOSFET10のしきい値は0.32Vであり、pMOSFET30のしきい値



は-0.61Vであった。そして、図2に示すように、Srイオンのドーピング濃度が0.03atom%, 0.10atom%, 0.3atom%, 1atom%, 3atom%, 10atom%の各値のとき、nMOSFET10のしきい値はそれぞれ0.33V, 0.36V, 0.42V, 0.54V, 0.70V, 0.71Vであり、pMOSFET30のしきい値はそれぞれ-0.60V, -0.57V, -0.51V, -0.39V, -0.23V, -0.22Vであった。また、図3に示すように、Zrイオンのドーピング濃度が0.03atom%, 0.10atom%, 0.3atom%, 1atom%, 3atom%, 10atom%の各値のとき、nMOSFET10のしきい値はそれぞれ0.31V, 0.28V, 0.22V, 0.10V, -0.05V, -0.06Vであり、pMOSFET30のしきい値はそれぞれ-0.62V, -0.65V, -0.71V, -0.83V, -0.96V, -0.97Vであった。

【0051】このように、第2絶縁膜142, 342の主材料である高誘電率膜(ここではAl<sub>2</sub>O<sub>3</sub>膜)中へ不純物金属イオンをドーピングすることによって、即ち上記高誘電率膜中の荷電欠陥の密度を制御することによって、nMOSFET10及びpMOSFET30のしきい値電圧を制御可能であることが分かる。図2及び図3によれば、不純物金属イオン(ドーパント)の濃度が0.1atom%乃至10atom%の範囲内の場合、ドーパント濃度に応じてしきい値電圧を大きく変化させることができる。特に、ドーパント濃度が0.3atom%乃至3atom%の範囲内の場合、実用上十分な変化が得られており好適である。

【0052】なお、しきい値は第1絶縁膜141, 341の厚さにも依存する。図2及び図3を取得するために製造した半導体装置1では上述のように第1絶縁膜141, 341の厚さは1.5nmであるが、当該膜厚が例えば3nmにした場合には各しきい値は図2及び図3中の値の大略半分になる。このため、既述のように第1絶縁膜141, 341の厚さを3nm以下に設定することにより、好ましくは2nm以下に設定することにより、しきい値の変化を、換言すればしきい値の制御性を実用的なレベルにすることができる。

【0053】このとき、不純物金属イオンのドーピングで以て各第2絶縁膜142, 342中の荷電欠陥の密度及び極性を制御することにより、nMOSFET10及びpMOSFET30のしきい値をそれぞれ独立に制御・設定することができる。従って、半導体装置1では、CMOSデバイスを成すnMOSFET10及びpMOSFET30の両しきい値を整合させることができる(両しきい値に対して極性を反対にしつつ絶対値を同程度に設定することができる)。

【0054】更に、図3によれば、3価のAlイオンを含有するAl<sub>2</sub>O<sub>3</sub>に対しては4価のZrイオンをより多くドーピングすることによって、nMOSFET10のしきい値を低減することができる。これは、Zrイオン

のドーピングによりAl<sub>2</sub>O<sub>3</sub>中に正の荷電欠陥が形成されるので、pウェル11の表面11S付近に(nMOSFET10のキャリアである)電子を誘起しようとする方向(傾向)にエネルギーバンドがベンディングするからである。その結果、反転層がより形成されやすくなるので、しきい値が減少する。なお、図2によれば、2価のSrイオンをより多くドーピングすることによりAl<sub>2</sub>O<sub>3</sub>中に負の荷電欠陥が形成されるので、nMOSFET10のしきい値は増大する。

【0055】同様に、図2によれば、2価のSrイオンのドーピングで以て負の荷電欠陥をより多く形成することにより、pMOSFET30のしきい値の絶対値を低減することができる。逆に、図3によれば、4価のZrイオンのドーピングで以て正の荷電欠陥をより多く形成することにより、pMOSFET30のしきい値は増大する。

【0056】なお、主材料膜としてAl<sub>2</sub>O<sub>3</sub>以外の上述の材料を用い、及び/又は、Srイオン及びZrイオン以外の上述の不純物金属イオンを用いた場合でも同様の結果が得られることが、別途に実施した実験・検討により明らかとなっている。このときの不純物濃度としきい値電圧との関係は図2及び図3のそれとおおむね一致するものであった。

【0057】従って、しきい値の低減化の観点から、第2絶縁膜142, 342の双方にドーピングを行う場合、(i)nMOSFET10の第2絶縁膜142に対しては、pMOSFET30の第2絶縁膜342中の濃度以上で以て、主材料の高誘電率膜に含有される金属イオンよりも価数が大きい不純物金属イオンをドーピングすることが好ましい。換言すれば、(I)nMOSFET10の第2絶縁膜142中には正の荷電欠陥をより多く形成し、当該第2絶縁膜142をより正に帯電させることによって、nMOSFET10のしきい値を低減することができる。

【0058】逆に、第2絶縁膜142, 342の双方にドーピングを行う場合、(ii)pMOSFET30の第2絶縁膜342に対しては、nMOSFET10の第2絶縁膜142中の濃度以上で以て、主材料の高誘電率膜に含有される金属イオンよりも価数が小さい不純物金属イオンをドーピングすることが好ましい。換言すれば、(II)pMOSFET30の第2絶縁膜342中には負の荷電欠陥をより多く形成し、当該第2絶縁膜142をより負に帯電させることによって、pMOSFET30のしきい値(の絶対値)を低減することができる。

【0059】具体的には、図2及び図3から、例えば、SrイオンをpMOSFET30の第2絶縁膜342に対して3atom%程度ドーピングすると共にnMOSFET10の第2絶縁膜142に対してはドーピングをしないことによって、pMOSFET30とnMOSFET

10との両しきい値を整合させつつ低電圧化を図ることができる。

【0060】なお、2種類以上の不純物金属イオンをドーピングすることによって、高誘電率膜中に荷電欠陥を発生させても良い。例えば、3価のAlイオンを含有するAl<sub>2</sub>O<sub>3</sub>に対して、共に2価のSrイオン及びBaイオンの双方をドーピングしても良いし、2価のSrイオン及び4価のZrイオンの双方をドーピングしても良い。

【0061】異なる価数の不純物金属イオンをドーピングした場合、高誘電率膜中には正及び負の荷電欠陥が発生するが、高誘電率膜の全体としての荷電欠陥の状態はこれら正及び負の荷電欠陥を相殺して捉えられる。即ち、高誘電率膜の全体としての極性は正又は負の荷電欠陥のより多い方に対応し、又、高誘電率膜の全体としての荷電欠陥量は正及び負の荷電欠陥量の差に対応する。このとき、高誘電率膜全体の帯電状態は、相殺された荷電欠陥の状態に対応すると捉えることができる。

【0062】なお、2種類以上の不純物金属イオンをドーピングする場合であっても、上述の2つの条件の(i)及び(ii)を、換言すれば上述の2つの条件の(I)及び(II)を同時に満足するように各不純物金属イオンのドーピング濃度を設定することにより、両MOSFET10、30のしきい値を整合させつつ低電圧化を図ることができる。

【0063】ところで、従来のnMOSFET10Pのゲート電極15Pに高い仕事関数を有するAl、Pt、TiN等を用いた場合、当該nMOSFET10Pのしきい値は高くなってしまふ。これに対して、半導体装置1によれば、ゲート電極15に上述のAl等を用いた場合であっても、安定な酸化状態での価数がAl等よりも大きいTi、Zr、Hf、Si、Pr等がドーピングされた第2絶縁膜142により、しきい値電圧が低減可能であることが実験・検討の結果、明らかになっている。

【0064】半導体装置1では、不純物金属イオンのドーピングによって、両第2絶縁膜142、342間で荷電欠陥の密度及び／又は極性を違えている。これにより、ゲート絶縁膜14、34の第2絶縁膜142、342の帯電状態(帯電量及び極性を含む)が互いに異なっている。このため、(従来の半導体装置1Pと同様に)両MOSFET10、30でゲート電極15、35の材料が同じ(従って仕事関数が同じ)場合であっても、ゲート絶縁膜14付近の基板2(ないしはpウェル11)のエネルギーバンドの状態とゲート絶縁膜34付近の基板2(ないしはnウェル31)のエネルギーバンドの状態とをそれぞれ独立に制御することができる。従って、nMOISFET10とpMOSFET30とでしきい値を独立に制御することができる。

【0065】このとき、従来の半導体装置1Pのようにゲート電極(多結晶シリコン)中のボロンの突き抜け

や、チャネル領域へのドーピングによるチャネルリークを引き起こすことがない。従って、従来の半導体装置1Pと比較して精度良く(意図しないしきい値の変化を抑制して)又より広い電圧範囲内で各MOSFET10、30のしきい値を制御することができる。

【0066】ところで、不純物金属イオンの濃度が同じ場合、第2絶縁膜142、342が厚いほど第2絶縁膜142、342全体の帯電量が大きくなる。このため、いっそう広い電圧範囲でしきい値を制御することが可能となる。しかし、その一方で、帯電量の増加はゲート電極15、35と不純物層12、13、32、33との間の寄生容量を増大させる。かかる点に鑑みて、半導体装置1では、しきい値の制御性と実用的なトランジスタ特性を得るために第2絶縁膜142、342の厚さを上述の3nm以上15nm以下に設定している。好ましくは3nm以上10nm以下に設定することにより、上記寄生容量をシリコン酸化膜から成る従来のゲート絶縁膜14P、34Pと同程度にすることができる。

【0067】なお、チャネル領域の形成後(即ちゲート絶縁膜14、34及び不純物層12、13、32、33の形成後)の工程が約600℃以下の場合や、第2絶縁膜142、342を成す誘電体とウェル11、31との界面が熱的に安定な場合(即ち、ウェル11、31と反応しにくい高誘電率材料を用いる場合)には、第1絶縁膜141、341を設けずに、第2絶縁膜142、342をウェル11、31上に直に形成しても良い(後述の図4を参照)。かかる場合、ゲート絶縁膜14、34の全体が第2絶縁膜142、342を含む。

【0068】また、上述の説明では両第2絶縁膜142、342で高誘電率材料を同じとしたが、各第2絶縁膜142、342で高誘電率材料を違えても構わない。異なる高誘電率材料の場合、シフト量ΔVは各高誘電率膜の比誘電率の相違にも依存する(式(1)参照)。なお、同じ高誘電率材料によれば半導体装置1の製造を簡略化することができる。

【0069】また、上述の説明は、しきい値(の絶対値)の異なるnMOSFET10及びpMOSFET30にあてはまり、従ってCMOSを構成しないnMOSFET及びpMOSFETに対してもあてはまる。

【0070】＜実施の形態2＞図4に実施の形態2に係る半導体装置1Bの模式的な断面図を示す。なお、以下の説明では、既述の半導体装置1(図1参照)と同様の構成要素には同様の符号を付してその説明を援用するに留める。

【0071】図4と図1と比較すれば分かるように、半導体装置1Bは、半導体装置1において第1絶縁膜141、341を設けずに、第2絶縁膜142、342をウェル11、31上に直に形成した構造に相当し、ゲート絶縁膜14、34の全体が第2絶縁膜142、342を含む場合に相当する。

【0072】詳細には、半導体装置1Bは、半導体装置1においてn MOSFET10及びp MOSFET30に変えて、n MOSFET10B及びp MOSFET30Bを備えており、半導体装置1と同様に基本的なCMOSデバイスを構成する。

【0073】半導体装置1Bのn MOSFET10Bは既述のn MOSFET10(図1参照)においてゲート絶縁膜14を単層のゲート絶縁膜14Bに変更した構造を有している。同様に、半導体装置1Bのp MOSFET30Bは、既述のp MOSFET30(図1参照)においてゲート絶縁膜34を単層のゲート絶縁膜34Bに変更した構造を有している。即ち、半導体装置1Bではウェル11、31/単層のゲート絶縁膜14B、34B/ゲート電極15、35の積層構造を有している。

【0074】特に、単層のゲート絶縁膜14B、34Bは図1のゲート絶縁膜14、34の第2絶縁膜142、342にあたり、第2絶縁膜142、342と同様に形成される。即ち、ゲート絶縁膜14B、34Bはその全体に主材料として既述の8以上の比誘電率を有した高誘電率膜を含んでおり、ゲート絶縁膜14B、34Bの少なくとも一方の高誘電率膜中に不純物金属イオンがドーピングされている。なお、高誘電率膜並びに不純物金属イオンの種類及びドーピング濃度等は図1の第2絶縁膜142、342と同様に選定・設定される。かかるドーピングにより、ゲート絶縁膜14B、34Bを成す両高誘電率膜において荷電欠陥の密度と極性と少なくとも一方が異なる。半導体装置1Bのその他の構成は半導体装置1と同様である。

【0075】ここで、図5及び図6にゲート絶縁膜14B、34B中の金属イオンのドーピング濃度とMOSFET10B、30Bのしきい値電圧との関係(実験結果)を説明するための図を示す。図5及び図6を得るにあたり、半導体装置1Bにおいて、ゲート絶縁膜14B、34Bとして、安定な酸化状態が3価であるY(図5参照)又は安定な酸化状態が5価であるTa(図6参照)がドーピングされた5nm厚のZrO<sub>2</sub>膜を用いた。なお、当該ドーピングされたZrO<sub>2</sub>膜はMOCVD法を用いた。例えば、ZrO<sub>2</sub>の原料として(ないしはZrイオンの供給源として)のZirconium tris-isopropoxy tetramethylheptanedionate(「Zr(OPr<sup>i</sup>)<sub>3</sub>(tmd)」とも呼ぶ)に、Yttrium tris-tetramethylheptanedionate(「Y(tmd)」とも呼ぶ)を添加することによって、YイオンがドーピングされたZrO<sub>2</sub>膜を形成した。また、例えば、上記Zr(OPr<sup>i</sup>)<sub>3</sub>(tmd)に、tantalum pentaethoxide(「Ta(OPT)<sub>5</sub>」とも呼ぶ)を添加することによって、TaイオンがドーピングされたZrO<sub>2</sub>膜を形成した。なお、ゲート電極15、35として、30nm厚のTiNと50nm厚のWとの積層を用いた。

【0076】図5及び図6に示すように、不純物金属イ

オンをドーピングしない場合、n MOSFET10Bのしきい値は0.46Vであり、p MOSFET30のしきい値電圧は-0.49Vであった。そして、図5に示すように、Yイオンのドーピング濃度が0.03at om%, 0.10at om%, 0.3at om%, 1at om%, 3at om%, 10at om%の各値のとき、n MOSFET10Bのしきい値はそれぞれ0.47V, 0.49V, 0.55V, 0.68V, 0.80V, 0.80Vであり、p MOSFET30Bのしきい値はそれぞれ-0.48V, -0.47V, -0.40V, -0.24V, -0.10V, -0.09Vであった。また、図6に示すように、Taイオンのドーピング濃度が0.03at om%, 0.10at om%, 0.3at om%, 1at om%, 3at om%, 10at om%の各値のとき、n MOSFET10Bのしきい値はそれぞれ0.45V, 0.39V, 0.35V, 0.26V, 0.10V, 0.09Vであり、p MOSFET30Bのしきい値はそれぞれ-0.49V, -0.56V, -0.62V, -0.70V, -0.86V, -0.85Vであった。

【0077】このように、ゲート絶縁膜14B、34Bの主材料である高誘電率膜(ここではZrO<sub>2</sub>膜)中へ不純物金属イオンをドーピングすることによって、即ち上記各高誘電率膜中の荷電欠陥の密度を制御することによって、既述のn MOSFET10及びp MOSFET30と同様に、n MOSFET10B及びp MOSFET30Bのしきい値電圧をそれぞれ独立に制御・設定することができる。従って、半導体装置1Bによれば、半導体装置1と同様の効果を得ることができる。

【0078】このとき、図5及び図6によれば、Yイオンをp MOSFET30Bのゲート絶縁膜34Bに対して1at om%程度ドーピングし、Taイオンをn MOSFET10Bのゲート絶縁膜14Bに対して1at om%程度ドーピングすることによって、p MOSFET30Bとn MOSFET10Bとでしきい値を整合しつつ、双方のしきい値を共に低減可能である。

【0079】なお、主材料膜としてZrO<sub>2</sub>以外の既述の材料を用い、及び/又は、Yイオン及びTaイオン以外の既述の不純物金属イオンを用いた場合でも同様の結果が得られることが、別途に実施した実験・検討により明らかとなっている。このときの不純物濃度としきい値電圧との関係は図5及び図6のそれとおおむね一致するものであった。

【0080】なお、チャネル領域の表面を保護するために、ゲート絶縁膜14B、34Bとウェル11、31との間に、図1のMOSFET10、30の第1絶縁膜141、341と同様の低誘電率膜を設けても構わない。

【0081】＜実施の形態3＞さて、実施の形態1、2では半導体装置1、1BがCMOSデバイスを含む場合を説明したが、実施の形態3では半導体装置1、1Bにおけるしきい値の制御方法をシステムLSIに適用した場合を説明する。なお、システムLSIは互いに異なるしきい値を有したロジック回路用、メモリセル用及びV

／O回路用のMOSFET（ないしはMISFET）を備える。

【0082】図7に実施の形態3に係る半導体装置1Cの模式的な断面図を示す。半導体装置1CはシステムLSIを含んでおり、図7にはロジック回路用MOSFETとしての第1のnMOSFET（ないしは第1MISFET）10C及び／O回路用MOSFETとしての第2のnMOSFET（ないしは第2MISFET）30Cを図示している。

【0083】第1のnMOSFET10Cは図1のnMOSFET10と同様の構成を有する。また、第2のnMOSFET30Cは基本的には第1のnMOSFET10Cと同様の構成を有している。即ち、第1のnMOSFET10Cと同様に、第2のnMOSFET30Cはpウェル31Cの表面31CS上にこの順序で積層された第1絶縁膜341C、第2絶縁膜342C及びゲート絶縁膜35Cを備えている。第1絶縁膜341C及び第2絶縁膜342Cがゲート絶縁膜34Cを成す。また、第2のnMOSFET30Cはpウェル31Cの表面31CS内に形成された（ソース・ドレイン領域を成す）n型の不純物層32C、33Cを更に備えている。

【0084】第2絶縁膜142、342Cは主材料として既述の8以上の比誘電率を有した高誘電率膜を含んでおり、半導体装置1と同様に、第2絶縁膜142、342Cの少なくとも一方に既述の不純物金属イオンがドーピングされている。かかるドーピングによって各高誘電率膜中の荷電欠陥の密度及び極性を、従ってnMOSFET10C、30Cのしきい値を制御している。特に、第1及び第2のnMOSFET10C、30Cは同じチャネル型ではあるが、I／O回路用の第2のnMOSFET30Cのしきい値はロジック回路用の第1のnMOSFET10Cのそれよりも高く設定している。なお、半導体装置1Cのその他の構成は半導体装置1と同様である。

【0085】このように、半導体装置1Cによれば、同じnチャネル型のMOSFET10C、30Cについても各しきい値を独立に制御することができ、両MOSFET10C、30C間でしきい値を違えることができる。即ち、半導体装置1Cは半導体装置1と同様の効果を奏する。なお、第1及び第2のnMOSFET10C、30Cを共にpMOSFETに変更しても上述の説明はあてはまる。また、第1及び第2のnMOSFET10C、30Cの関係を、メモリセル用及び／O回路用のMOSFETに並びにロジック回路用及びメモリセル用のMOSFETに適用することも可能である。

【0086】＜実施の形態4＞実施の形態1～3では半導体装置1、1B、1CのMOSFET10、30、10B、30B、10、30Cが共に高誘電率膜を有したゲート絶縁膜14、34、14B、34B、14、34Cを備える場合を説明したが、上述のしきい値の制御方

法は半導体装置が備える複数のMOSFETのうちの1つについても適用可能である。

【0087】図8に実施の形態4に係る半導体装置1Dの模式的な断面図を示す。半導体装置1Dは既述のnMOSFET10と、pMOSFET（ないしは第2MISFET）30Dとを備えている。pMOSFET30Dのゲート絶縁膜34Dは、例えば熱酸化膜等のシリコン酸化膜やシリコン窒化膜やこれらの組み合わせであるシリコン酸化窒化膜等の低（比）誘電率の誘電体膜からなる。なお、pMOSFET30D及び半導体装置1Dのその他の構成は図1のpMOSFET30及び半導体装置1と同様である。

【0088】つまり、半導体装置1DではnMOSFET10の第2絶縁膜142を成す高誘電体膜中の荷電欠陥の密度と極性とを少なくとも一方を制御することによって、nMOSFET10とpMOSFET30Dとでしきい値を違えている。半導体装置1Dによっても、半導体装置1と同様の効果を得ることができる。なお、例えば、pMOSFET30Dに変えてnMOSFETを設けても構わないし、nMOSFET10に変えてpMOSFET30（図1参照）を設けても構わない。

【0089】半導体装置1、1B～1Dと同様にして3つ以上のMOSFETを備える半導体装置においても各MOSFETのしきい値を独立に制御可能である。

【0090】

【発明の効果】請求項1に係る発明によれば、第1誘電体膜中と第2誘電体膜中とでドーピングによる荷電欠陥の密度及び／又は極性が異なるので、第1誘電体膜と第2誘電体膜との帯電状態を違えることができる。このため、第1及び第2MISFETでゲート電極の材料が同じ場合であっても、第1ゲート絶縁膜付近の半導体基板のエネルギーバンドの状態と第2ゲート絶縁膜付近の半導体基板のエネルギーバンドの状態とをそれぞれ独立に制御することができる。従って、第1MISFETと第2MISFETとでしきい値電圧を独立に制御することができる。このとき、従来の半導体装置のようにゲート電極（多結晶シリコン）中のボロンの突き抜けやMISFETのチャネル領域へのドーピングによるチャネルリークを引き起こすことがない。従って、従来の半導体装置と比較してより精度良く（意図しない変化を抑制して）又より広い電圧範囲内で第1MISFETのしきい値電圧を制御することができる。

【0091】請求項2に係る発明によれば、第1及び第2誘電体膜が異なる材料から成る場合よりも半導体装置の製造を簡略化できる。

【0092】請求項3に係る発明によれば、nチャネル型及びpチャネル型MISFETで例えばCMOSを成す場合に、両MISFETのしきい値を整合させることができる。更に、nチャネル型MISFETのしきい値電圧を低減することができる。

【0093】請求項4に係る発明によれば、nチャネル型及びpチャネル型MISFETで例えばCMOSを成す場合に、両MISFETのしきい値を整合させることができる。更に、pチャネル型MISFETのしきい値電圧を低減することができる。

【0094】請求項5に係る発明によれば、同じチャネル型の第1及び第2MISFET間でしきい値電圧を違えることができる。これにより、例えばしきい値電圧の低いロジック回路用MISFET及びしきい値電圧の高いI/O回路用MISFETの双方を備えた半導体装置を提供することができる。

【0095】請求項6に係る発明によれば、同じチャネル型の第1及び第2MISFET間でしきい値電圧を違えることができる。これにより、例えばしきい値電圧の低いロジック回路用MISFET及びしきい値電圧の高いI/O回路用MISFETの双方を備えた半導体装置を提供することができる。

【0096】請求項7に係る発明によれば、第1MISFETと第2MISFETとでしきい値電圧が独立に制御された半導体装置を提供することができる。

【0097】請求項8に係る発明によれば、第1MISFETと第2MISFETとでしきい値電圧が独立に制御された半導体装置を提供することができる。

【0098】請求項9に係る発明によれば、MISFETのしきい値電圧を大きく変化させることが可能な荷電欠陥を形成することができる。

【0099】請求項10に係る発明によれば、良質の、ドーピングされた第1及び/又は誘電体膜を形成することができる。

【0100】請求項11に係る発明によれば、両有機金属の有機配位子同士の副反応を抑えることができ、再現性の高い膜形成が可能である。

【0101】請求項12に係る発明によれば、第1誘電体膜中のドーピングによる荷電欠陥の密度と極性とを少なくとも一方の制御によって、第1MISFETに第2MISFETとは異なるしきい値電圧が与えられている。このとき、第1誘電体膜中の荷電欠陥の密度及び/又は極性の制御によって、第1及び第2MISFETのしきい値電圧を容易に違えることができる。また、従来の半導体装置のようにゲート電極(多結晶シリコン)中

のボロンの突き抜けやMISFETのチャネル領域へのドーピングによるチャネルリークを引き起こすことがない。従って、従来の半導体装置と比較してより精度良く(意図しない変化を抑制して)又広い電圧範囲内で第1MISFETのしきい値電圧を制御することができる。

【図面の簡単な説明】

【図1】実施の形態1に係る半導体装置の模式的な断面図である。

【図2】実施の形態1に係る半導体装置においてゲート絶縁膜中の不純物金属イオンの濃度とMOSFETのしきい値電圧との関係を説明するための図である。

【図3】実施の形態1に係る半導体装置においてゲート絶縁膜中の不純物金属イオンの濃度とMOSFETのしきい値電圧との関係を説明するための図である。

【図4】実施の形態2に係る半導体装置の模式的な断面図である。

【図5】実施の形態2に係る半導体装置においてゲート絶縁膜中の不純物金属イオンの濃度とMOSFETのしきい値電圧との関係を説明するための図である。

【図6】実施の形態2に係る半導体装置においてゲート絶縁膜中の不純物金属イオンの濃度とMOSFETのしきい値電圧との関係を説明するための図である。

【図7】実施の形態3に係る半導体装置の模式的な断面図である。

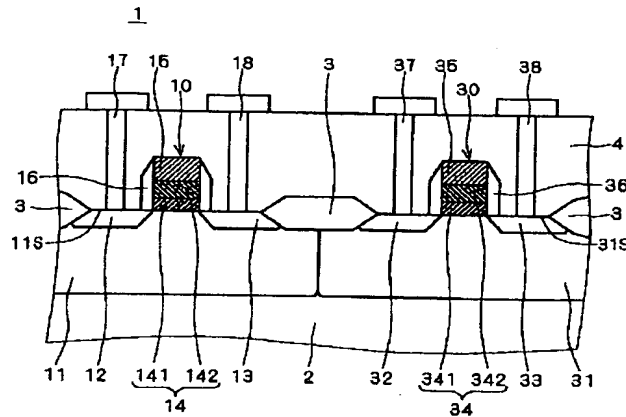
【図8】実施の形態4に係る半導体装置の模式的な断面図である。

【図9】従来の半導体装置の模式的な断面図である。

【符号の説明】

1, 1B~1D 半導体装置、2 半導体基板、10, 10B, 10C nMOSFET(第1MISFET)、14, 14B ゲート絶縁膜(第1ゲート絶縁膜)、141, 341, 341C 第1絶縁膜、142, 342, 342C 第2絶縁膜、15, 35 ゲート電極、30, 30B, 30D pMOSFET(第2MISFET)、30C nMOSFET(第2MISFET)、34, 34B~34D ゲート絶縁膜(第2ゲート絶縁膜)、 $\epsilon_r$  比誘電率。

【 図1 】

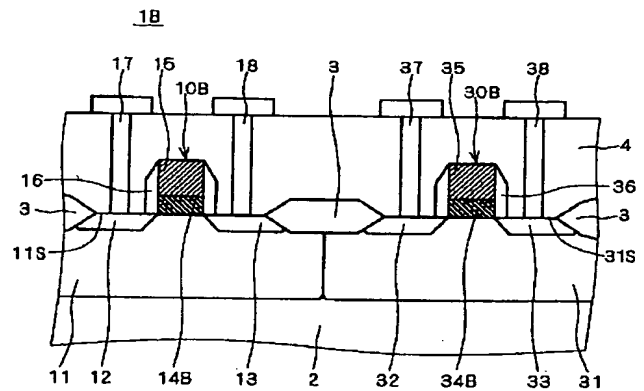


- 1 : 半導体装置  
 2 : 半導体基板  
 10 : nMOSFET (第1MISFET)  
 14 : (第1)ゲート絶縁膜  
 15, 35 : ゲート電極  
 30 : pMOSFET (第2MISFET)  
 34 : (第2)ゲート絶縁膜  
 141, 341 : 第1絶縁膜  
 142, 342 : 第2絶縁膜

【 図2 】

ドーパント	濃度 (atom%)	nMOSFETのしきい値(V)	pMOSFETのしきい値(V)
なし	—	0.32	-0.61
Sr	0.03	0.33	-0.60
Sr	0.10	0.36	-0.57
Sr	0.3	0.42	-0.51
Sr	1	0.54	-0.39
Sr	3	0.70	-0.23
Sr	10	0.71	-0.22

【 図4 】



- 1B : 半導体装置  
 10B : nMOSFET (第1MISFET)  
 14B : (第1)ゲート絶縁膜  
 30B : pMOSFET (第2MISFET)  
 34B : (第2)ゲート絶縁膜

【 図3 】

ドーパント	濃度 (atom%)	nMOSFETのしきい値(V)	pMOSFETのしきい値(V)
なし	—	0.32	-0.61
Zr	0.03	0.31	-0.62
Zr	0.10	0.28	-0.65
Zr	0.3	0.22	-0.71
Zr	1	0.10	-0.83
Zr	3	-0.05	-0.95
Zr	10	-0.06	-0.97

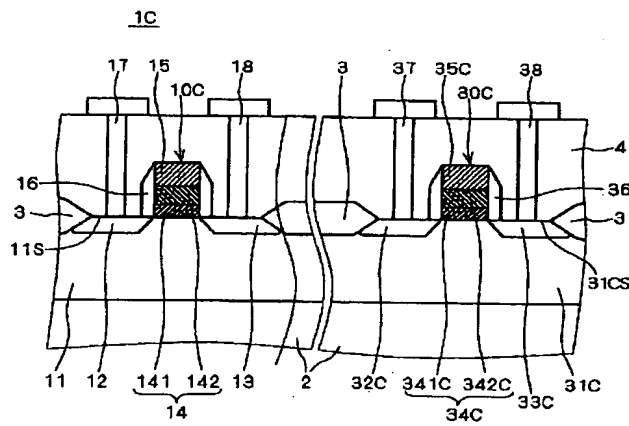
【 図6 】

ドーパント	濃度 (atom%)	nMOSFETのしきい値(V)	pMOSFETのしきい値(V)
なし	—	0.46	-0.49
Ta	0.03	0.45	-0.49
Ta	0.10	0.39	-0.56
Ta	0.3	0.35	-0.62
Ta	1	0.26	-0.70
Ta	3	0.10	-0.86
Ta	10	0.09	-0.85

【 図5 】

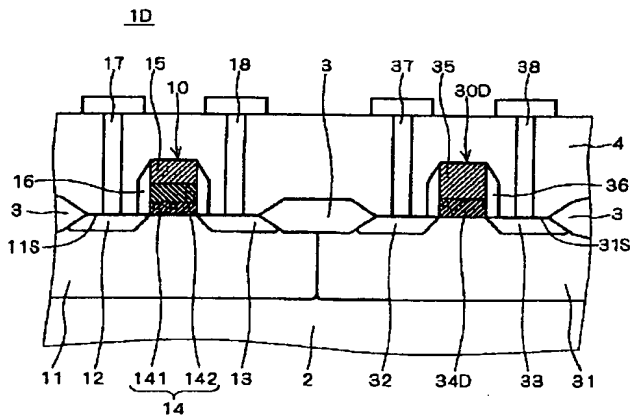
ドーパント	濃度 (atom%)	nMOSFETのしきい値(V)	pMOSFETのしきい値(V)
なし	—	0.46	-0.49
Y	0.03	0.47	-0.48
Y	0.10	0.49	-0.47
Y	0.3	0.55	-0.40
Y	1	0.68	-0.24
Y	3	0.80	-0.10
Y	10	0.80	-0.09

【 図7 】



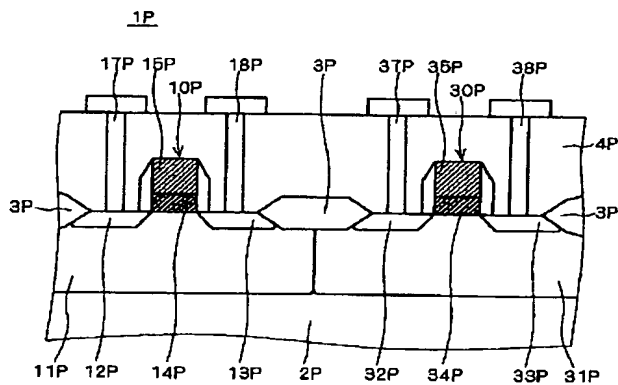
1C: 半導体装置  
 10C: nMOSFET (第1MISFET)  
 30C: nMOSFET (第2MISFET)  
 34C: (第2) ゲート絶縁膜  
 35C: ゲート電極  
 341C: 第1絶縁膜  
 342C: 第2絶縁膜

【 図8 】



1D: 半導体装置  
 30D: pMOSFET (第2MISFET)  
 34D: (第2) ゲート絶縁膜

【 図9 】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

H01L 29/78

識別記号

F I

テラト (参考)

F ターム (参考) 5F048 AB01 AB03 AB06 AB07 AC01  
AC03 BB06 BB07 BB08 BB09  
BB11 BB12 BB15 BB16 BB17  
BB18 BB03 BG12 DA23 .  
5F058 BA20 BD05 BD06 BF06 BF27  
BF31 BJ01  
5F140 AA06 AA28 AB03 AC32 AC33  
BA01 BD01 BD05 BD07 BD09  
BD11 BD17 BE07 BE09 BE10  
BE15 BF01 BF04 BF05 BF07  
BF10 BF11 BF18 BG08 CB01  
CB08